

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-039887
 (43)Dat of publication of application : 12.02.1999

(51)Int.Cl.	G11C 16/02 G11C 16/04
-------------	--------------------------

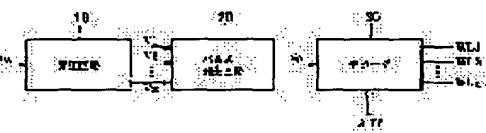
(21)Application number : 09-188733	(71)Applicant : SONY CORP
(22)Date of filing : 14.07.1997	(72)Inventor : SUGIYAMA HISANOBU

(54) NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable shortening of the write time and erase time by providing a control means which is setting the first voltage of the write or erase signal pulses to the initial voltage having the first width and then sequentially setting the second and subsequent voltages larger than the initial voltage having the width narrower than the first width.

SOLUTION: A pulse generating circuit 20 outputs a pulse signal Sp having different voltage levels of the predetermined width depending on the voltages V1 to Vm generated by a voltage boosting circuit 10 of a write circuit using the power source voltage Vcc. A decoder 30 selects one word line among the word lines WL1 to WL_n depending on an input address signal ADR and impresses a pulse signal Sp to write or erase the data to/from the memory cell connected. A write circuit sets the second and subsequent voltage levels which become gradually larger having the width as short as 2 μ s. Thereby, high speed writing and erasing can be conducted.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(附+要約+請求の範囲)

(19)【発行国】日本国特許庁(JP)

(12)【公報種別】公報特許公報(A)

(11)【公開番号】特開平11-39887

(43)【公開日】平成11年(1999)2月12日

(54)【発明の名称】不揮発性半導体記憶装置

(51)【国際特許分類第6版】

G11C 16/02
16/04

[F1]

G11C 17/00
611 E
612 E
632 E

[審査請求]未請求

[請求項の数]15

[出願形態]OL

[全員数]8

(21)【出願番号】特願平9-188733

(22)【出願日】平成9年(1997)7月14日

(71)【出願人】

【識別番号】000002185

【氏名又は名称】ソニー株式会社

(72)【発明者】

【氏名】杉山 寿伸

【住所又は居所】東京都品川区北品川6丁目7番35号

(74)【代理人】

【弁理士】

【氏名又は名称】佐藤 隆久

(5)【要約】

【課題】書き込みおよび消去時間を短縮でき、書き込みおよび消去スピードの向上を実現できる不揮発性半導体記憶装置を提供する。
 【解決手段】書き込み時に書き込み対象メモリセルに一回目が幅の長い書き込みパルスを印加し、2回目以降の書き込みにおいて、一回目より電圧レベルが大きく、幅が短い書き込みパルスを印加する。書き込みパルス印加後しきい値電圧の検証を行い、メモリセルのしきい値電圧V_{th}を検出し、所定の書き込みレベルV_Hに達したか否かを判定し、判定結果に応じて書き込み終了または続行を決定する。これにより、メモリ全体の書き込みおよび消去時間を短縮でき、従来のISPP法による書き込みに較べて、さらに高速な書き込みおよび消去を実現できる。

【特許請求の範囲】

【請求項1】複数のパルスからなる書き込みまたは消去信号を印加し、電荷蓄積層に対して電荷の授受を行うことにより、しきい値電圧を制御し、しきい値電圧に応じた情報を探査する記憶素子を有する不揮発性半導体記憶装置であつて、上記書き込みまたは消去信号における一回目のパルスの電圧を初期電圧レベル、パルス幅を第1の幅にそれぞれ設定し、2回目以降のパルスの電

压を上記初期電圧レベルよりも大きく、パルス幅を上記第1の幅より短く設定する制御手段を有する不揮発性半導体記憶装置。

【請求項2】各パルス印加後、上記記憶素子のしきい値電圧を検出し、当該しきい値電圧を所定のレベルに達したか否かを検査する検査手段を有する請求項1記載の不揮発性半導体記憶装置。
 【請求項3】上記制御手段は、上記検査手段により上記記憶素子のしきい値電圧が上記所定のレベルに達したと判定したとき、上記パルスの印加を終了させ、上記しきい値電圧が上記所定のレベルに達していないとき、次回のパルス印加を行う請求項1記載の不揮発性半導体記憶装置。
 【請求項4】上記制御手段は、上記2回目以降の各パルスの幅を同じ値に設定する請求項1記載の不揮発性半導体記憶装置。
 【請求項5】上記制御手段は、上記2回目のパルスから、第2の幅を持つパルスを所定の回数において生成し、上記所定の回数以後、上記第2の幅によりさらに短い第3の幅を持つパルスを生成する請求項1記載の不揮発性半導体記憶装置。

詳細な説明

【発明の詳細な説明】

【0001】 【発明の属する技術分野】本発明は、不揮発性半導体記憶装置、特にISPP(Incremental Step Pulse Programming)により書き込みおよび消去を行う不揮発性半導体記憶装置に関するものである。

【0002】

【従来の技術】フローティングゲートを有するメモリセルは、図5の簡略断面図に示すように、例えば、シリコン(Si)により構成される半導体基板(またはウェル)1、基板上に形成されているソース遮断層2、ドレイン遮断層3、フローティングゲート5およびコントロールゲート7により構成されている。フローティングゲート5はソース遮断層2とドレイン遮断層3との間の基板上に形成されおり、基板1との間に、例えば、シリコン酸化膜(SiO₂)により構成されているゲート絶縁膜4が形成されている。さらに、層間絶縁膜6は、例えれば、ゲート絶縁膜4とともに、層間絶縁膜6が形成され、さらに、酸化膜と塗膜(Si₃N₄)を順次成層した積層膜、また、酸化膜、塗膜、酸化膜を順次成層して構成された、いわゆるONO膜により構成することもできる。

【0003】フローティングゲート5およびコントロールゲート7の両端に、図示していないサイドウォールが形成されているので、フローティングゲート5は、周囲と電気的に絶縁状態に保持される。このため、フローティングゲート5に向らかの手段により注入した電荷(電子)がほぼ永久的に保持される。

【0004】一般的に、フローティングゲート5への電子の注入またはフローティングゲート5から電子の放出は、コントロールゲート7、ソース遮断層2、ドレイン遮断層3および基板1に所定のバイアス電圧を印加することにより実現される。例えば、基板1を基準電位、例えれば、接地電位GNDに保持し、コントロールゲート7に高電圧を印加することにより、ゲート絶縁膜4に蓄積した電荷の量に応じてメモリセルのしきい値電圧V_{th}が制御される。フローティングゲート5に電子が注入され、蓄積されている場合に、メモリセルのしきい値電圧V_{th}が上昇する。

【0005】上述したバイアス状況において、FNTンネリングにより、基板1にある電子の一部分がゲート絶縁膜4を通して、フローティングゲート5に注入される。注入された電子がバイアス電圧が解除した後もフローティングゲート5に蓄積されたままとなる。フローティングゲート5に電子が注入され、蓄積されている場合に、メモリセルのしきい値電圧V_{th}が上昇する。

【0006】また、メモリセルを逆のバイアス状態に保持することにより、コントロールゲート7を低い電位、例えれば、接地電位GNDに保持し、基板1に高電圧を印加することにより、フローティングゲート5に蓄積した電子が放出される。これによって、フローティングゲート5の蓄積電荷量が減少し、メモリセルのしきい値電圧V_{th}が降低する。

【0007】一般的に電子の注入または放出は、コントロールゲート7または基板1、あるいはウェルに書き込みバ尔斯または消去バ尔斯を印加することにより実現される。以下、図6に示すNAND型フラッシュメモリの書き込み動作について説明する。なお、図6は、NAND型フラッシュメモリの一部分のメモリセルのみを示しており、実際のメモリセルアレイは、このようない連続した電子により、マトリックス状なメモリセルアレイが構成されている。

【0008】図示のように、例えれば、8個のメモリセルM1, M2, …, M8が選択トランジスタS1, S2を介してビット線B1とソース線S1の間に直列に接続されている。選択トランジスタS1, S2のゲートはそれぞれ選択信号SG1, SG2に接続され、これら選択信号線に印加されている選択信号のレベルに応じてオン／オフ状態が制御される。メモリセルM1, M2, …, M8のコントロールゲートがそれぞれワード線WL1, WL2, …, WL8に接続されている。なお、ワード線WL1, WL2, …, WL8には、図示したメモリセルM1, M2, …, M8以外に、他のメモリセル列にあるメモリセルも接続されている。

【0009】通常、NAND型フラッシュメモリの書き込みは、ワード線単位で行う。即ち、1本のワード線に連なる複数のメモリセルに対して同時に行われる。例えば、図7に示すように、幅20μs(マイクロ秒)程度の同じ電圧の書き込み、バ尔斯をしきい値電圧V_{th}の検証(Verify)を行ながら、繰り返し印加し続ける。そして、所定の書き込みレベルまでしきい値電圧V_{th}が上昇したとき、ワード線上の全てのメモリセルから書き込み禁止状態に設定し、ワード線上の全てのメモリセルが書き込まれた時点、即ち、ワード線上の全てのメモリセルが終了する。

【0010】この方法では、必然的に書き込みスピードは、ワード線上に最も書き込みスピードの速いメモリセルにより決定されることになる。最も遅いメモリセルに対して早く書き込みを行おうとした場合に、書き込みバ尔斯電圧を高くするか、もしくは、書き込みバ尔斯幅を長くして、書き込み一検証のサイクル数を少なくするといった方法が考えられる。

【0011】しかし、このようにすると、書き込みの速いメモリセルが一発の書き込みバルスの設定電圧V_{th}が最大許容値より高く設定されてしまう可能性が生じてくるので、書き込みバルスの設定にも制限が生じる。よって、通常の書き込みバルスの設定では、書き込みの速いメモリセルと遅いメモリセルが両方ともしきい値電圧の許容範囲に入るよう、最も早く書き込みめる条件が決定される。

【0012】この方法に対し、書き込みの速いメモリセルと遅いメモリセルの両方に対して、最も遅な書き込みバ尔斯を印加するようにし、書き込みスピードの向上を図る。これを利用するために、ISPP法では、通常の方法では同じ電圧のバ尔斯を各印加サイクル毎に上げていく方法である。この方法に対する書き込みの速いメモリセルは、初期の書き込みスピード電圧の低い間に書き込まれるので、過剰に書き込まれることが防止できる。また、遅いメモリセルに対しては、バ尔斯印加毎にバ尔斯電圧が上がっていくので、同じ電圧の書き込みバ尔斯を印加し続けることにより早く書き込みを完了させることができとなる。

【0013】図9は従来の書き込みバルスによる書き込み特性を示している。図示のように、従来の書き込み方法では、書き込み時間において、メモリセルのしきい値電圧の上昇が飽和していく。それに対して、図10に示したISPP法による書き込み特性では、ある一定の時間後、メモリセルのしきい値電圧がほぼ直線的に上昇しており、この差が書き込みスピードに影響を及ぼすことがある。

【0014】【問題を解決するための手段】ところで、上述したISPP法では、書き込み時間に応じて書き込みバルスの電圧を上げていく手段により書き込み全体の書き込みスピードの向上が図れるが、書き込みスピードの上昇には限度があるという不利益がある。将来の不揮発性半導体記憶装置のアクリケーションの多様化などを考慮すると、さらに書き込みスピードの向上が必要である。

【0015】本発明は、かかる事情に鑑みてなされたものであり、その目的は、ISPP法を用いてメモリセルに対して書き込みおよび消去を行う不揮発性半導体記憶装置において、書き込み方法をさらに改良することによって、記憶装置全体の書き込み時間をおよび消費時間をさらに短縮でき、および消去スピードの向上を実現できる不揮発性半導体記憶装置を提供することにある。

【0016】【問題を解決するための手段】上記目的を達成するため、本発明の不揮発性半導体記憶装置は、

【発明が解決しようとする課題】ハルスからなる書き込みまたは消去信号を印加し、電荷蓄積層に対して電荷の授受を行なうことにより、記憶装置全体の書き込みスピードの向上が図れるが、書き込みバ尔斯電圧を印加し、しきい値電圧に応じた情報保持する回路の電荷蓄積子を有する不揮発性半導体記憶装置において、記憶装置を構成する回路の電荷蓄積子または消去信号における一回目のハルスの電圧を初期電圧レベル、ハルス幅を第1の帽にそれ設定し、2回目以降のハルスの電圧を上記初期電圧レベルより大きく、ハルス幅を上記第1の帽より短く設定する制御手段を有する。

【0017】また、本発明では、好適には各ハルス印加後、上記記憶素子のしきい値電圧を検出し、当該しきい値電圧を所定のレベルに達したか否かを検証する検証手段を有し、上記制御手段は、上記検証手段により上記記憶素子のしきい値電圧が上記所定のレベルに達したと判定したとき、上記ペルスの印加を終了させ、上記しきい値電圧が上記所定のレベルに達していないとき、次回のハルス印加を行う。

【0018】さらに、本発明では、上記2回目以後、第2の帽を持つハルスを所定の回数において生成し、上記所定の回数以後、上記第2の帽よりも低い第3の帽を持つハルスを生成する。

〔0019〕本発明によれば、複数のパルスからなる書き込みまたは消去信号を不揮発性メモリセルに印加することにより、書き込みまたは消去が行われる。書き込みおよび消去時、一回目のバルス幅より短く設定され、2回目以降のバルス幅が一回目のバルス幅より長く設定され、バルス印加毎に電圧レベルを徐々に大きくなることにより、書き込みまたは消去時間の短縮を図り、高速な書き込みおよび消去を行える不揮発性半導体記憶装置実現できる。

6

[争明の実施の形態] 図1は本発明に係る不揮発性半導体記憶装置の一実施形態を示す図である。本実施形態では、従来のISP法に対しても、PFP法に対しても、本実施形態における書き込み方法により、高速な書き込みおよび消費電力を低減することができる。具体的には、印加するパルス幅を変更することによって、本実施形態で、パルスの電圧のみではなく、パルス幅を変化させることによって、書き込み初期に印加するパルス幅を長く設定し、その後のパルス幅を短く設定する方法が取られる。

本発明によれば、不揮発性半導体記憶装置の周辺回路に於いては、例えば、不揮発性半導体記憶装置が電圧によっては、例えば、シリコン系加熱電極上に印加する電圧がどこにも変わらず、高導通率の半導体層によっては、シリコン系加熱電極上に印加する電圧がどこにも変わらぬ構成である。

2) 図2は、本実施形態における書き込み回路の一構成例を示す回路図である。図示のよう
に、例のパルス発生回路は、昇圧回路10、パルス発生回路20およびデコーダ30により構成
される。昇圧回路10は、電源電圧 V_{CC} を動作電源電圧として、電源電圧 V_{CC} と異なるレベルを有
する。昇圧回路10は、電圧 V_1 、 V_2 、 \dots 、 V_m 発生し、パルス発生回路20に供給する。パルス発生回路20
は、複数の電圧に応じて、それぞれ異なる電圧レベルを持つ、所定の幅を有
する。電圧 V_1 は、パルス信号 S_p を発生し、デコーダ30に供給する。デコーダ30は、外部から入力されたア
ドレス情報を用いて、記憶装置の各セルを読み出す。デコーダ30は、ア
ドレス情報を用いて、記憶装置の各セルを読み出す。

信号ADRI- δ して、復線W1、W2、...、WLnの内二つの選択し、選択したパルス信号SPを印加する。

ルベレ P_1 が先王となる。一回目の書き込み後、後述時間 T_1 において、一回目のノルベ印加され、所定の書き込みレベルに達したか否かを判定する。もしもモリセルの書き込みレベルが所定の書き込みレベルに達したと判定されたとき、モリセル以降の書き込みを禁止する。逆にしきい電圧 V_{th} が所定の書き込みレベルに達していないときに、書き込み2回目の書き込みが行われる。

電圧 V_{W1} よりリステップ電圧 ΔV_1 だけ大きさで図示のようになります。図示のとおり、幅 T_{PW2} 、電圧 V_{W1} で $1/2$ 回目の書き込みでは、回路に設定されている書き込み幅 S_{P2} が発生される。そして、 2 回目の書き込み後、 1 回

ここに同様に、検査時間 T_V において、メモリセルのしきい値電圧 V_{th} が検出され、所定の書き込み時間 T_W に達したか否かを判定する。メモリセルのしきい値電圧 V_{th} が所定の書き込みレベルに

このように、電圧V_Hが所定の値を過ぎると、電圧V_Lが止まる。逆に低い電圧V_Lが止まると、電圧V_Hが止まる。つまり、電圧V_HとV_Lは、互いに反応する。

書き込みパルスの幅 PW_2 は、例えば、 $2\mu s$ に設定される。また、2回目以降に発生された各書き込みパルスの幅を、2回目の書き込みパルス幅と同じく PW_2 とする。

図3は、ISPP法による書き込み特性を示している。図3は、例えば、一回目の書き込み [0028] パルスの電圧、即ち、初期電圧 V_{pp} は $14.5V$ 、各回のパルスのステップアップ電圧 $\Delta V = 0.5V$ の条件で、ISPP法により書き込みを行なう場合に、各書き込みパルス幅 T_p のパルス累加回数に

[00029]ISPP法において、本実施形態の書き込み方法による書き込み特性を図4に示している。図4は、図3のISPP法と同じ書き込み条件、即ち、初期電圧 V_{pwm} （は14.5V、各回のパルスのスパン時間 T_{pwm} の長い方が一回目の書き込み、パルス幅 T_{pwm} の長い方が上昇分が大きいが、しきい値電圧 V_{th} が、例えば、2Vあたりから、何れのパルス幅 T_{pwm} も同じ傾きの直線となり、しきい値電圧 V_{th} の変化がパルス印加回数のみに依存する結果となる。

[0031] 図示のように、本発明の書き込みによれば、最初の一回目の書き込みバルス幅 T_{Pw1} が $50\mu s$ に設定され、それ以後の各回の書き込みバルス幅は、 T_{Pw2} に設定されている。即ち、一回目に長い書き込みバルスが印加され、2回目以降には短い書き込みバルスが印加される。この場合に短い書き込みバルスが印加され、2回目以降には長い書き込みバルスが印加される。この場合は、2回目以降で T_{Pw2} による書き込み時間は、 $50\mu s$ である。[0031] ただし、本実施形態の書き込み方法では、メモリセルのしきい値電圧 V_{th} を $-3V$ から $+1V$ までに変化させる場合に、一回目の $50\mu s$ の書き込みバルスとそれ以後のバルスが $50\mu s$ で回り印加することにより実現できる。書き込みバルスの印加時間は $64\mu s$ である。さらに、一回の検証時間 T_v を、例えば、 $5\mu s$ とする、一回目の書き込み後の検証を含めて全部8回の検証が行われるので、書き込みの所要時間は、 $104\mu s$ である。

ISPP法[3]に對して、ISPP法より、例えは、幅10μsの書き込みバルスを用いること、メモリセルのしきい値電圧 V_{th} を-3Vから+1Vまでに変化させる場合、全部で10回のバルス印加により実現できる。この場合、10回の換算時間をめて、全部の所要時間は、150μsである。また、幅5μsの書き込みバルスを用いる場合に、図3に示すように、全部で11回のバルス印加によりしきい値電圧 V_{th} の遷移を実現できる。この場合、11回の換算時間をめて全部の所要時間は、110μsである。

[0034]以上説明したように、本実施形態によれば、書き込み時に書き込みが象メモリセルに一回目が幅の長い書き込み、バスを印加し、2回目以降の書き込みにおいて、一回目より電圧印加レベルが下しきい電圧 V_{th} に達したか否かを判断する。書き込みが複数回実行され、所定の書き込みレベル V_{th} に達したか否かを判断するが、この場合、幅の短いバスを用いて書き込みを行うので、書き込みの効率が低下するので、実用的でない。

[0035]以上説明したように、本実施形態によれば、書き込み時に書き込みが象メモリセルに一回目が幅の長い書き込み、バスを印加し、2回目以降の書き込みにおいて、一回目より電圧印加レベルが下しきい電圧 V_{th} に達したか否かを判断する。書き込みが複数回実行され、所定の書き込みレベル V_{th} に達したか否かを判断するが、この場合、幅の短いバスを用いて書き込みを行うので、書き込みの効率が低下するので、実用的でない。

消去パルスを用いることによつて、不揮発性半導体記憶装置の消去時間を短縮できる。
【0036】また、以上の説明では、2回目以降の書き込みまたは消去パルス幅は、全て一定値に設定されているが、本発明は、これに限定されることはなく、例えば、2回目以降の書き込みまたは消去において、パルス幅が徐々に短くしていく、若しくは、一定の回数のパルスを印加した後、それまでのパルス幅よりも短いパルス幅に切り替えるなど、初期のパルス幅よりも後期のパルス幅を短く設定する手段は、同様な効果が得られる。

【0037】【発明の効果】以上説明したように、本発明の不揮発性半導体記憶装置によれば、書き込みおよび消去時に、電圧レベルおよび幅がともに変化する書き込みまたは消去パルスを印加することにより、書き込みおよび消去時間と同時に書き込みおよび消去を実現できる利点がある。

図の説明

【図面の簡単な説明】

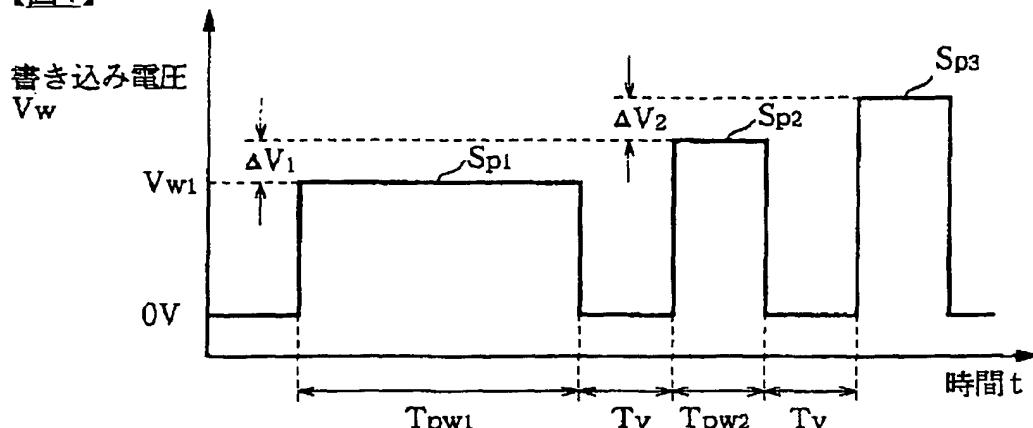
- 【図1】本発明に係る不揮発性半導体記憶装置の一実施形態を示す波形図である。
- 【図2】本発明の書き込みパルスの発生回路の一構成例を示す回路図である。
- 【図3】SPP法による書き込み特性を示す図である。
- 【図4】本発明の書き込み方法による書き込み特性を示す図である。
- 【図5】フローティングゲート型不揮発性メモリセルの一構成例を示す断面図である。
- 【図6】NAND型フランジュメモリセルのアレイを示す回路図である。
- 【図7】従来の書き込み方法の書き込みパルスの波形を示す波形図である。
- 【図8】SPP法の書き込みパルスの波形を示す波形図である。
- 【図9】従来の書き込み方法の書き込み特性を示す波形図である。
- 【図10】SPP法の書き込み特性を示す図である。

【符号の説明】

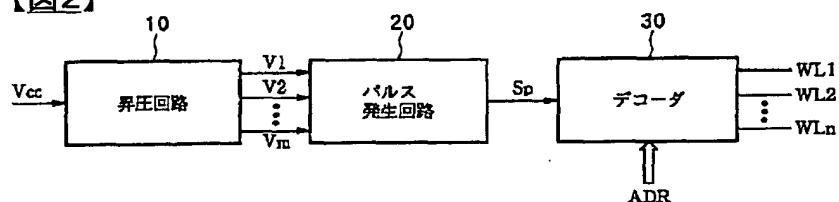
- 1…基板、2…ソース拡散層、3…ドレイン拡散層、4…ゲート絶縁膜、5…フローティングゲート、
6…層間絶縁膜、7…コントロールゲート、10…昇圧回路、20…パルス発生回路、30…データ
ダ、 T_{PW1} 、 T_{PW2} …パルス幅、 WL_1 、 WL_2 、…、 WL_n …ワード線、 BL …ビット線、 SL …ソース
線、 $SG1$ 、 $SG2$ …選択信号線、 $S1$ 、 $S2$ …選択トランジスタ、 V_{CC} …電源電圧、 GND …接地電
位。

図面

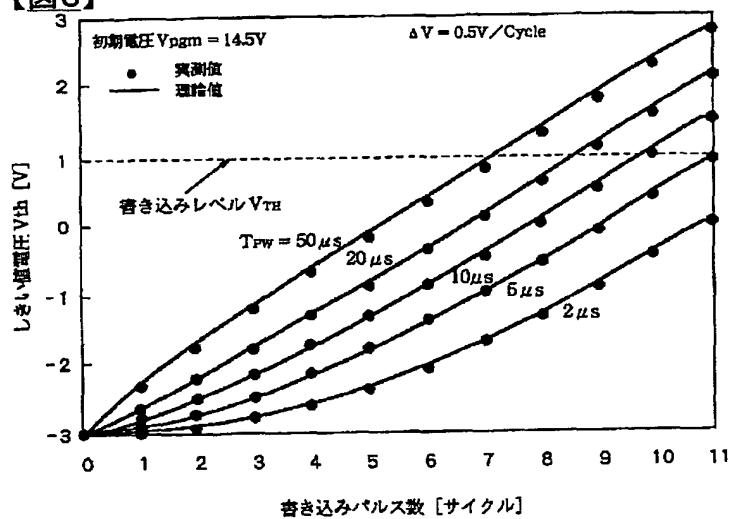
【図1】



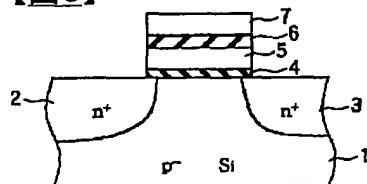
【図2】



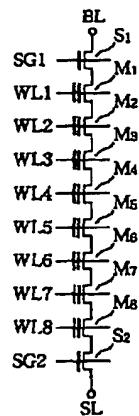
【図3】



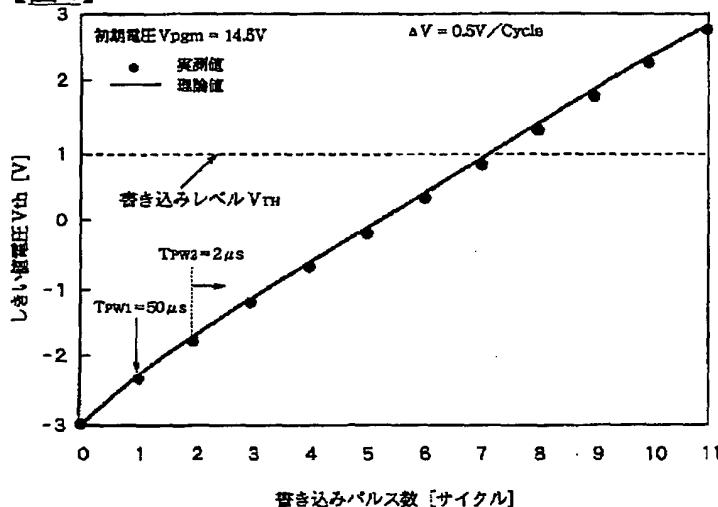
【図5】



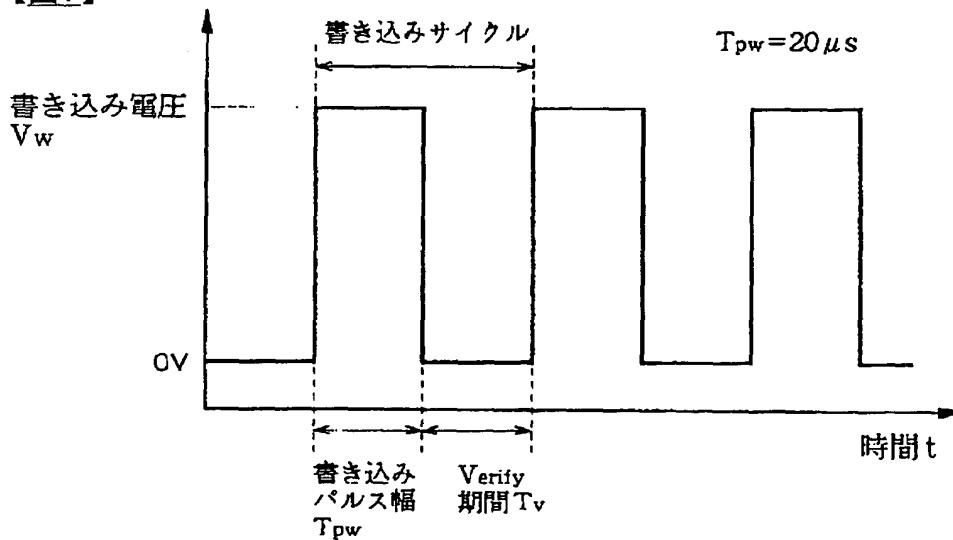
【図6】



【図4】



【図7】



【図8】

